

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: April 8, 2003

Application Number: Japanese Patent Application
No. 2003-104593
[JP2003-104593]

Applicant(s): FUJITSU MEDIA DEVICES LIMITED
FUJITSU LIMITED

September 22, 2003

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3077860

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 8 日
Date of Application:

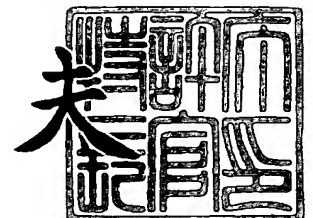
出 願 番 号 特 願 2 0 0 3 - 1 0 4 5 9 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 4 5 9 3]

出 願 人
Applicant(s): 富士通メディアデバイス株式会社
 富士通株式会社

2 0 0 3 年 9 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 7 8 6 0

【書類名】 特許願

【整理番号】 03012701

【提出日】 平成15年 4月 8日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03H 3/08
H03H 9/25
H01L 23/14

【発明の名称】 弾性表面波デバイス及びその製造方法

【請求項の数】 23

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜二丁目 3 番 1 2 号 富士通
 メディアデバイス株式会社内

 【氏名】 上田 政則

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜二丁目 3 番 1 2 号 富士通
 メディアデバイス株式会社内

 【氏名】 川内 治

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
 株式会社内

 【氏名】 三浦 道雄

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
 株式会社内

 【氏名】 藁科 卓

【特許出願人】

 【識別番号】 398067270

 【氏名又は名称】 富士通メディアデバイス株式会社

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087480

【弁理士】

【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117701

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 弾性表面波デバイス及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、

前記第 1 及び第 2 の基板のうち少なくとも一方がシリコンを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記シリコンを主成分とした前記第 1 又は第 2 の基板の前記接合面以外の領域に電気回路が形成されていることを特徴とする弾性表面波デバイス。

【請求項 2】 前記第 1 の基板と前記第 2 の基板との前記接合面に表面活性化処理が施されていることを特徴とする請求項 1 記載の弾性表面波デバイス。

【請求項 3】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、

前記第 1 及び第 2 の基板のうち少なくとも一方がシリコンを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記シリコンを主成分とした前記第 1 又は第 2 の基板の前記接合面以外の領域に電気回路が形成されており、

前記第 1 及び第 2 の基板の接合面のうち少なくとも一方に形成された金属層を有していることを特徴とする弾性表面波デバイス。

【請求項 4】 前記第 1 の基板と前記第 2 の基板との前記接合面に表面活性化処理が施されていることを特徴とする請求項 3 記載の弾性表面波デバイス。

【請求項 5】 前記金属層は金を主成分として形成されていることを特徴とする請求項 3 記載の弾性表面波デバイス。

【請求項 6】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、

前記第 1 又は第 2 の基板のうち何れか一方がシリコンを主成分として作製され、且つ他方がサファイアを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記第 1 及び第 2 の基板のうち、少なくとも一方の前記接合面以外の領域に電気回路が形成されていることを特徴とする弾性表面波デバイス。

【請求項 7】 前記第 1 の基板と前記第 2 の基板との接合面に表面活性化処理が施されていることを特徴とする請求項 6 記載の弾性表面波デバイス。

【請求項 8】 前記第 1 の基板は、前記弾性表面波素子に形成された第 1 の電極パッドと電氣的に接続された第 2 の電極パッドを有し、

前記弾性表面波素子は、前記第 1 の電極パッドが形成された面を前記第 2 の電極パッドに向かい合わせた状態でボンディングされたことで、電氣的且つ機械的に前記第 1 の基板に接続されていることを特徴とする請求項 1 から 7 の何れか 1 項に記載の弾性表面波デバイス。

【請求項 9】 前記第 2 の基板は、前記弾性表面波素子に形成された第 1 の電極パッドと電氣的に接続された第 2 の電極パッドを有し、

前記弾性表面波素子は、前記第 1 の電極パッドが形成された面と反対側の面が前記第 1 の基板に接合されることで固定されており、

前記第 1 の電極パッドが形成された面を第 2 の電極パッドに向かい合わせた状態でボンディングされたことで、前記弾性表面波素子が電氣的且つ機械的に前記第 2 の基板に接続されていることを特徴とする請求項 1 から 7 の何れか 1 項に記載の弾性表面波デバイス。

【請求項 10】 前記第 1 及び第 2 の基板の何れか一方に前記弾性表面波素子を収容するためのキャビティが形成されていることを特徴とする請求項 1 から 9 の何れか 1 項に記載の弾性表面波デバイス。

【請求項 11】 前記第 1 及び第 2 の基板の両方に前記弾性表面波素子を収容するためのキャビティが形成されていることを特徴とする請求項 1 から 9 の何れか 1 項に記載の弾性表面波デバイス。

【請求項 12】 前記弾性表面波素子は、2 つ以上のフィルタ素子を含んでなることを特徴とする請求項 1 から 11 の何れか 1 項に記載の弾性表面波デバイス。

【請求項 13】 前記第 1 及び第 2 の基板のうち少なくとも一方に、前記フ

フィルタ素子のインピーダンスを整合するための整合回路を有することを特徴とする請求項 12 記載の弾性表面波デバイス。

【請求項 14】 前記 2 つ以上のフィルタ素子に共通に接続された入力端子を有し、

前記整合回路は、前記 2 つ以上のフィルタ素子と前記入力端子とを個々に接続する配線の何れか 1 つ以上に設けられていることを特徴とする請求項 13 記載の弾性表面波デバイス。

【請求項 15】 前記シリコンを主成分として作製した前記第 1 及び／又は第 2 の基板の抵抗率が $100\ \Omega \cdot \text{cm}$ 以上であることを特徴とする請求項 1 から 14 の何れか 1 項に記載の弾性表面波デバイス。

【請求項 16】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスの製造方法であって、

前記第 1 及び第 2 の基板のうち少なくとも一方がシリコンを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記シリコンを主成分とした前記第 1 又は第 2 の基板の前記接合面以外の領域に電気回路が形成される工程と、

前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程と

を有することを特徴とする弾性表面波デバイスの製造方法。

【請求項 17】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスの製造方法であって、

前記第 1 及び第 2 の基板のうち少なくとも一方がシリコンを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記シリコンを主成分とした前記第 1 又は第 2 の基板の前記接合面以外の領域に電気回路が形成される工程と、

前記第 1 及び第 2 の基板の前記接合面のうち少なくとも一方に金属層を形成する金属層形成工程と、

前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程と

を有することを特徴とする弾性表面波デバイスの製造方法。

【請求項 18】 請求項 16 に記載された弾性表面波デバイスの製造方法であって、

前記第 1 の基板と前記第 2 の基板との前記接合面に表面活性化処理を施す表面活性化工程と、

前記表面活性化処理が施された前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程と

を有することを特徴とする弾性表面波デバイスの製造方法。

【請求項 19】 請求項 17 に記載された弾性表面波デバイスの製造方法であって、

前記第 1 の基板と前記第 2 の基板との前記接合面に表面活性化処理を施す表面活性化工程と、

前記表面活性化処理が施された前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程と

を有することを特徴とする弾性表面波デバイスの製造方法。

【請求項 20】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、

前記第 1 又は第 2 の基板のうち何れか一方がシリコンを主成分として作製され、且つ他方がサファイアを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記第 1 及び第 2 の基板のうち、少なくとも一方の前記接合面以外の領域に電気回路が形成される工程と、

前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程と

を有することを特徴とする弾性表面波デバイスの製造方法。

【請求項 21】 第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、

前記第 1 又は第 2 の基板のうち何れか一方がシリコンを主成分として作製され、且つ他方がサファイアを主成分として作製されており、

前記第 1 及び第 2 の基板は接合面を有し、

前記第 1 及び第 2 の基板のうち、少なくとも一方の前記接合面以外の領域に電気回路が形成される工程と、

前記第 1 及び第 2 の基板の前記接合面のうち少なくとも一方に金属層を形成する金属層形成工程と、

前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程と

を有することを特徴とする弾性表面波デバイスの製造方法。

【請求項 2 2】 前記第 1 の基板は前記サファイアを主成分として作製されており、

前記第 1 の基板と前記弾性表面波素子における櫛形電極が形成された面と反対側の面とを貼り合わせる貼合せ工程を有することを特徴とする請求項 2 0 記載の弾性表面波デバイスの製造方法。

【請求項 2 3】 前記第 1 及び第 2 の基板は、一度に複数の前記弾性表面波デバイスを作製することが可能な多面取り構造を有し、

前記貼合せ工程で貼り合わせた前記第 1 及び第 2 の基板を、個々の前記弾性表面波デバイスに切断する切断工程を有することを特徴とする請求項 1 6 から 2 2 の何れか 1 項に記載の弾性表面波デバイスの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、弾性表面波デバイス及びその製造方法に関し、特に第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイス及びその製造方法に関する。

【0 0 0 2】

【従来技術】

従来、電子機器の小型化及び高性能化に伴い、これに搭載された電子部品にも

小型化及び高性能化が要求されている。特に、電波を送信又は受信する電子機器におけるフィルタ、遅延線、発振器等の電子部品として使用される弾性表面波（Surface Acoustic Wave：以下、SAWと略す）デバイスは、不要な信号を抑圧する目的で広く携帯電話機等における高周波（RF）部に使用されているが、携帯電話機等の急速な小型化及び高性能化に伴い、パッケージを含めて全体的な小型化及び高性能化が要求されている。加えて、SAWデバイスの用途の拡大からその需要が急速に増加したことに伴い、製造コストの削減も重要な要素となってきた。

【0003】

ここで、従来技術によるSAWデバイスを用いて作製したフィルタ装置（SAWフィルタ100）の構成を図1を用いて説明する（例えば特許文献1における特に図4参照）。尚、図1において、（a）はSAWフィルタ100の構成を示す斜視図であり、（b）は（a）のD-D断面図である。

【0004】

図1（a）に示すように、SAWフィルタ100は、セラミックス製のパッケージ101と、パッケージ101の内部が空洞化されることで形成されたキャビティ102と、キャビティ102の開口部を封止する金属キャップ103と、キャビティ102内に実装されるSAW素子111とを有して構成される。また、図1（b）に示すように、パッケージ101は、例えば3つの基板（101a, 101b, 101c）を貼り合わせた3層構造をなしており、それぞれを跨がって配線パターン104が形成されている。SAW素子111は、キャビティ102底部に櫛形電極（Inter Digital Transducer：以下、IDTという）を有する面が上を向いた状態（フェイスアップ状態）で固定されており、同キャビティ102内部に露出した配線パターン104と金属ワイヤ112を介して電氣的に接続されている。また、金属キャップ103は、はんだや樹脂等の接合材料（シール材105）によりパッケージ101上面に固着される。

【0005】

また、このようなSAWフィルタは、フェイスダウン状態でフリップチップ実

装することで、より小型化することができる（例えば特許文献2参照）。図2に、このようなSAWフィルタ200の構成を示す。尚、図2において、(a)はSAWフィルタ200に実装されるSAW素子211の構成を示す斜視図であり、(b)はSAWフィルタ200の断面図（但し、図1(a)におけるD-D断面に相当）である。

【0006】

図2(a)に示すように、SAW素子211は、圧電性素子基板（以下、圧電基板という）212をベースとして作製されている。圧電基板212の一方の主面（これを上面又は表面という）には櫛型（櫛歯型）電極、いわゆるIDT213が形成されている。このIDT213は同一の主面に形成された電極パッド214と配線パターンを介して電氣的に接続されている。また、図2(b)に示すように、パッケージ201は、内部にキャビティ202を有している。キャビティ202の底面（ダイアタッチ面）には、SAW素子211における電極パッド213と位置合わせされた配線パターン205が形成されている。従って、SAW素子211は、このダイアタッチ面にIDT213が形成された面を向けた状態（フェイスダウン状態）でキャビティ202内に実装される。尚、この際、電極パッド213と配線パターン205とが金属バンプ215によりボンディングされることで、両者が電氣的及び機械的に接続される。また、配線パターン205はパッケージ201の底基板を貫通するように設けられたビア配線206を介してパッケージ201裏面に形成されたフットパターン207に電氣的に接続されている。また、キャビティ202の開口部は、シール材204で接着された金属キャップ203により封止される。

【0007】

また、以上のような構成を有するSAWフィルタを用いて構成した送信用フィルタと受信用フィルタとを有するデュプレクサを図3を用いて説明する。尚、図3では、図1に示すSAWフィルタ100を用いてデュプレクサ300を構成した場合を示し、また、(a)にその断面図（但し、図1(a)におけるD-D断面に相当）を示し、(b)にSAW素子311の上面図を示す。

【0008】

図3に示すように、デュプレクサ300は、パッケージ301にSAWフィルタ311が実装された構成を有し、更に、パッケージ301の裏面に位相線路を有して構成された整合回路が搭載された基板（以下、整合回路基板321という）と、整合回路基板321をパッケージ301と共に挟み込むように設けられた主基板322とを有して構成されている。また、図3（b）に示すように、SAWフィルタ311は、送信用フィルタ311aと受信用フィルタ311bとを有し、それぞれがラダー型に接続されたIDT313を有している。尚、各IDT313は、配線パターン315を介して電極パッド314に接続されている。

【0009】

以上のようなSAWフィルタ及びデュプレクサは、内蔵されるSAW素子を封止する必要がある。そのため、上記した各構成例では、キャビティの開口部を〔シール材を用いて金属キャップで封止していた。また、このほかにも、樹脂等でキャビティを封止することも可能である。

【0010】

【特許文献1】

特開平6-173225号公報

【特許文献2】

特開2001-110946号公報

【0011】

【発明が解決しようとする課題】

しかしながら、上記した各従来例では、セラミックス製のパッケージの加工精度が十分に得られず、このため小型化が困難であるという問題を有していた。また、パッケージにおける配線パターンの形成には厚膜印刷技術が用いられていたため、微細パターンを形成することが困難であるという問題も有していた。更に、キャビティを金属キャップで封止する際には、はんだや金樹脂等の接合材料が必要となり、且つ高い機密性を保持するために接合面積を比較的広範囲とする必要が存在した。

【0012】

更にまた、一般的にパッケージには、複数のセラミック基板を貼り合わせて作

製した多層基板が用いられていたが、このような多層基板は高価であるため、結果的にSAWデバイスが高価となるという問題も有し、且つこのような多層基板やその他の個別部品を組み合わせるパッケージを作製していたため、組立コストが高くなるという問題も有していた。

【0013】

本発明は、上記のような問題に鑑みてなされたものであり、小型且つ安価で製造が容易な弾性表面波デバイス及びその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項1記載のように、第1の基板に固定された弾性表面波素子が第2の基板で封止された構成を有する弾性表面波デバイスであって、前記第1及び第2の基板のうち少なくとも一方がシリコンを主成分として作製されており、前記第1及び第2の基板が接合面を有し、前記シリコンを主成分とした前記第1又は第2の基板の前記接合面以外の領域に電気回路が形成された構成を有する。基板材料として少なくとも一方にシリコンを用いることで、半導体フォトリソグラフィ及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAWデバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。

【0015】

また、請求項1記載の前記弾性表面波デバイスは、請求項2記載のように、前記第1の基板と前記第2の基板との前記接合面に表面活性化処理が施されていることが好ましい。基板の接合面に表面活性化処理した後、両基板を接合した構成とすることで、接合後に1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ製造工程が簡略化・簡素化される。また、両基板を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更に、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型

化することが可能となる。

【0016】

また、本発明は、請求項3記載のように、第1の基板に固定された弾性表面波素子が第2の基板で封止された構成を有する弾性表面波デバイスであって、前記第1及び第2の基板のうち少なくとも一方がシリコンを主成分として作製されており、前記第1及び第2の基板は接合面を有し、前記シリコンを主成分とした前記第1又は第2の基板の前記接合面以外の領域に電気回路が形成されており、前記第1及び第2の基板の接合面のうち少なくとも一方に形成された金属層を有するように構成される。基板材料として少なくとも一方にシリコンを用いることで、半導体フォトリソグラフィ及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAWデバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、少なくとも一方の基板の接合面に金属層を形成し、両基板を接合した構成とすることで、両基板の接合強度を向上させることができる。更に、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。

【0017】

また、請求項3記載の前記弾性表面波デバイスは、請求項4記載のように、前記第1の基板と前記第2の基板との前記接合面に表面活性化処理が施されていることが好ましい。基板の接合面に表面活性化処理した後、両基板を接合した構成とすることで、接合後に1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ製造工程が簡略化・簡素化される。また、両基板を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更に、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0018】

また、請求項3記載の前記金属層は、例えば請求項5記載のように、金を主成分として形成されてもよい。

【0019】

また、本発明は、請求項6記載のように、第1の基板に固定された弾性表面波素子が第2の基板で封止された構成を有する弾性表面波デバイスであって、前記第1又は第2の基板のうち何れか一方がシリコンを主成分として作製され、且つ他方がサファイアを主成分として作製されており、前記第1及び第2の基板は接合面を有し、前記第1及び第2の基板のうち、少なくとも一方の前記接合面以外の領域に電気回路が形成された構成を有する。基板材料として一方の基板にシリコンを用いることで、半導体フォトリソグラフィ及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAWデバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。このほか、他方の基板にサファイアを用いることで、例えばこの基板に弾性表面波素子を接合した場合、サファイア基板の弾性スティフネス (C_{11}) 及び熱膨張係数と弾性表面波素子の基板である圧電基板の持つ弾性スティフネス (C_{11}) 及び熱膨張係数との関係から、圧電基板の熱膨張に対して力学的にバイアスの応力、即ち圧電基板が熱膨張することを抑制する力が発生するため、弾性表面波デバイスの周波数温度特性を改善することができる。尚、これはサファイア基板の代わりにシリコン基板を用いた場合でも同様である。

【0020】

また、請求項6記載の前記弾性表面波デバイスは、請求項7記載のように、前記第1の基板と前記第2の基板との接合面に表面活性化処理が施されていることが好ましい。基板の接合面に表面活性化処理した後、両基板を接合した構成とすることで、接合後に1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ製造工程が簡略化・簡素化される。また、両基板を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更に、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0021】

また、請求項1から7の何れか1項に記載の前記弾性表面波デバイスは、例えば請求項8記載のように、前記第1の基板が前記弾性表面波素子に形成された第1の電極パッドと電氣的に接続された第2の電極パッドを有し、前記弾性表面波素子が前記第1の電極パッドが形成された面を前記第2の電極パッドに向かい合わせた状態でボンディングされたことで、電氣的且つ機械的に前記第1の基板に接続されている構成としてもよい。第1の電極パッドが形成された面を第1の基板における第2の電極パッドと向かい合う状態、即ちフェイスダウン状態で弾性表面波素子が第1の基板にボンディングされた構成とすることで、ワイヤ等を配設するスペースが省略でき、パッケージを小型化することが可能となる。

【0022】

また、請求項1から7の何れか1項に記載の前記弾性表面波デバイスは、例えば請求項9記載のように、前記第2の基板が前記弾性表面波素子に形成された第1の電極パッドと電氣的に接続された第2の電極パッドを有し、前記弾性表面波素子が前記第1の電極パッドが形成された面と反対側の面が前記第1の基板に接合されることで固定されており、前記第1の電極パッドが形成された面を第2の電極パッドに向かい合わせた状態でボンディングされたことで、前記弾性表面波素子が電氣的且つ機械的に前記第2の基板に接続されている構成としてもよい。弾性表面波素子における第1の電極パッドが形成された面と反対側の面を第1の基板に接合した構成とすることで、第1の基板が弾性表面波素子の基板である圧電基板の支持基板として機能するため、弾性表面波素子を薄く作製することが可能となる。また、この第1の基板に例えばサファイア基板を用いた場合、サファイア基板の弾性スティフネス (C_{11}) 及び熱膨張係数と弾性表面波素子の基板である圧電基板の持つ弾性スティフネス (C_{11}) 及び熱膨張係数との関係から、圧電基板の熱膨張に対して力学的にバイアスの応力、即ち圧電基板が熱膨張することを抑制する力が発生するため、弾性表面波デバイスの周波数温度特性を改善することができる。尚、これはサファイア基板の代わりにシリコン基板を用いた場合でも同様である。

【0023】

また、請求項 1 から 9 の何れか 1 項に記載の前記弾性表面波デバイスは、例えば請求項 10 記載のように、前記第 1 及び第 2 の基板の何れか一方に前記弾性表面波素子を収容するためのキャビティが形成された構成としてもよい。例えば弾性表面波素子をフェイスダウン状態で第 1 の基板にフリップチップ実装する場合においてキャップとなる第 2 の基板のみにキャビティを設けた場合、キャップの強度がキャビティの側壁で保たれるため、結果的にパッケージを薄く作製することが可能となる。また、例えば弾性表面波デバイスがフェイスダウン状態で実装される第 1 の基板側にキャビティを設けた場合、弾性表面波素子を第 2 の基板と接合した状態で第 1 及び第 2 の基板を貼り合わせた構成とすることができ、これにより、第 2 の基板が弾性表面波素子の圧電基板に対する支持基板として機能するため、弾性表面波素子を薄く作製することが可能となる。即ち、弾性表面波デバイスを小型化することが可能となる。

【0024】

また、請求項 1 から 9 の何れか 1 項に記載の前記弾性表面波デバイスは、例えば請求項 11 記載のように、前記第 1 及び第 2 の基板の両方に前記弾性表面波素子を収容するためのキャビティが形成された構成としてもよい。第 1 及び第 2 の基板の両方にキャビティを構成することで、それぞれの基板の強度がキャビティの側壁で保たれるため、結果として弾性表面波デバイスを薄く作製することが可能となる。

【0025】

また、請求項 1 から 11 の何れか 1 項に記載の前記弾性表面波素子は、例えば請求項 12 記載のように、2 つ以上のフィルタ素子を含んで構成されても良い。即ち、本発明による弾性表面波デバイスは、例えば送信用フィルタと受信用フィルタとを有するデュプレクサ等に適用することも可能である。

【0026】

また、請求項 12 記載の前記弾性表面波デバイスは、例えば請求項 13 記載のように、前記第 1 及び第 2 の基板のうち少なくとも一方に、前記フィルタ素子のインピーダンスを整合するための整合回路を有した構成としてもよい。上記のように第 1 及び第 2 の基板のうち何れか一方がシリコン基板で作製されているため

、これに半導体フォトリソグラフィー及びエッチング技術を用いて高い精度で容易に整合回路を形成することが可能である。

【0027】

また、請求項13記載の前記弾性表面波デバイスは、例えば請求項14記載のように、前記2つ以上のフィルタ素子に共通に接続された入力端子を有し、前記整合回路が前記2つ以上のフィルタ素子と前記入力端子とを個々に接続する配線の何れか1つ以上に設けられた構成としても良い。

【0028】

また、請求項1から14の何れか1項に記載の前記弾性表面波デバイスは、請求項15記載のように、前記シリコンを主成分として作製した前記第1及び／又は第2の基板の抵抗率が $100\Omega\cdot\text{cm}$ 以上であることが好ましい。 $100\Omega\cdot\text{cm}$ と比較的高い抵抗率のシリコン基板を用いることで、シリコン基板の抵抗成分により弾性表面波デバイスのフィルタ特性が劣化することを回避することができる。

【0029】

また、本発明は、請求項16記載のように、第1の基板に固定された弾性表面波素子が第2の基板で封止された構成を有する弾性表面波デバイスの製造方法であって、前記第1及び第2の基板のうち少なくとも一方がシリコンを主成分として作製されており、前記第1及び第2の基板が接合面を有し、前記シリコンを主成分とした前記第1又は第2の基板の前記接合面以外の領域に電気回路が形成される工程と、前記第1の基板と前記第2の基板との前記接合面が向かい合うように前記第1及び第2の基板を接合する基板接合工程とを有して構成される。基板材料として少なくとも一方にシリコンを用いて弾性表面波デバイスを製造することで、半導体フォトリソグラフィー及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAWデバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。

【0030】

また、本発明は、請求項 17 記載のように、第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスの製造方法であって、前記第 1 及び第 2 の基板のうち少なくとも一方がシリコンを主成分として作製されており、前記第 1 及び第 2 の基板が接合面を有し、前記シリコンを主成分とした前記第 1 又は第 2 の基板の前記接合面以外の領域に電気回路が形成される工程と、前記第 1 及び第 2 の基板の前記接合面のうち少なくとも一方に金属層を形成する金属層形成工程と、前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程とを有して構成される。基板材料として少なくとも一方にシリコンを用いて弾性表面波デバイスを製造することで、半導体フォトリソグラフィ及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAW デバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、少なくとも一方の基板の接合面に金属層を形成し、両基板を接合した構成とすることで、両基板の接合強度を向上させることができる。また、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。

【0031】

また、本発明は、請求項 16 に記載された弾性表面波デバイスの製造方法であって、請求項 18 記載のように、前記第 1 の基板と前記第 2 の基板との前記接合面に表面活性化処理を施す表面活性化工程と、前記表面活性化処理が施された前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程とを有して構成される。基板の接合面に表面活性化処理した後、両基板を接合した構成とすることで、接合後に 1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ製造工程が簡略化・簡素化される。また、両基板を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更に、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0032】

また、本発明は、請求項 17 に記載された弾性表面波デバイスの製造方法であって、請求項 19 記載のように、前記第 1 の基板と前記第 2 の基板との前記接合面に表面活性化処理を施す表面活性化工程と、前記表面活性化処理が施された前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程とを有して構成される。基板の接合面に表面活性化処理した後、両基板を接合した構成とすることで、接合後に 1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ製造工程が簡略化・簡素化される。また、両基板を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更に、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0033】

また、本発明は、請求項 20 記載のように、第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、前記第 1 又は第 2 の基板のうち何れか一方がシリコンを主成分として作製され、且つ他方がサファイアを主成分として作製されており、前記第 1 及び第 2 の基板が接合面を有し、前記第 1 及び第 2 の基板のうち、少なくとも一方の前記接合面以外の領域に電気回路が形成される工程と、前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程とを有して構成される。基板材料として少なくとも一方にシリコンを用いて弾性表面波デバイスを製造することで、半導体フォトリソグラフィー及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAWデバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。このほか、他方の基板にサファイアを用いることで、例えばこの基板に弾性表面波素子を接合した場合、サファイア基板の弾性スティフネス (C_{11}) 及び熱膨張係数と弾性表面波素子の基板である圧電基板の持つ弾性スティフネス (C_{11}) 及び熱膨張係数との関係から、圧電基板の熱膨張に対して力学

的にバイアスの応力、即ち圧電基板が熱膨張することを抑制する力が発生するため、弾性表面波デバイスの周波数温度特性を改善することができる。尚、これはサファイア基板の代わりにシリコン基板を用いた場合でも同様である。

【0034】

また、本発明は、請求項 21 記載のように、第 1 の基板に固定された弾性表面波素子が第 2 の基板で封止された構成を有する弾性表面波デバイスであって、前記第 1 又は第 2 の基板のうち何れか一方がシリコンを主成分として作製され、且つ他方がサファイアを主成分として作製されており、前記第 1 及び第 2 の基板が接合面を有し、前記第 1 及び第 2 の基板のうち、少なくとも一方の前記接合面以外の領域に電気回路が形成される工程と、前記第 1 及び第 2 の基板の前記接合面のうち少なくとも一方に金属層を形成する金属層形成工程と、前記第 1 の基板と前記第 2 の基板との前記接合面が向かい合うように前記第 1 及び第 2 の基板を接合する基板接合工程とを有して構成される。基板材料として少なくとも一方にシリコンを用いて弾性表面波デバイスを製造することで、半導体フォトリソグラフィー及びエッチング技術を用いて高い精度で容易に弾性表面波デバイスを作製することが可能となり、SAWデバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。また、少なくとも一方の基板の接合面に金属層を形成し、両基板を接合した構成とすることで、両基板の接合強度を向上させることができる。更に、基板上の接合面以外の領域に電気回路を構成することで、別構成として電気回路を搭載した基板等を必要とせず、全体として弾性表面波デバイスを小型化することができる。このほか、他方の基板にサファイアを用いることで、例えばこの基板に弾性表面波素子を接合した場合、サファイア基板の弾性スティフネス (C_{11}) 及び熱膨張係数と弾性表面波素子の基板である圧電基板の持つ弾性スティフネス (C_{11}) 及び熱膨張係数との関係から、圧電基板の熱膨張に対して力学的にバイアスの応力、即ち圧電基板が熱膨張することを抑制する力が発生するため、弾性表面波デバイスの周波数温度特性を改善することができる。尚、これはサファイア基板の代わりにシリコン基板を用いた場合でも同様である。

【0035】

また、請求項 20 記載の前記弾性表面波デバイスの製造方法は、好ましくは請

求項 22 記載のように、前記第 1 の基板は前記サファイアを主成分として作製されており、前記第 1 の基板と前記弾性表面波素子における櫛形電極が形成された面と反対側の面とを貼り合わせる貼合せ工程を有して構成される。第 1 の基板をサファイアで構成し、これに弾性表面波素子をフェイスアップ状態で接合することで、第 1 の基板を弾性表面波素子の圧電基板に対する支持基板として機能させることが可能となり、弾性表面波素子を薄く作製することが可能となる。即ち、弾性表面波デバイスを小型化して製造することが可能となる。

【0036】

また、請求項 16 から 22 の何れか 1 項に記載の前記弾性表面波デバイスの製造方法は、好ましくは請求項 23 記載のように、前記第 1 及び第 2 の基板が一度に複数の前記弾性表面波デバイスを作製することが可能な多面取り構造を有し、前記貼合せ工程で貼り合わせた前記第 1 及び第 2 の基板を、個々の前記弾性表面波デバイスに切断する切断工程を有するように構成される。即ち、1 つのパッケージを構成する第 1 の基板が複数 2 次元配列して一体形成された多面取り構造のベース基板と、同じく 1 つのパッケージを構成する第 2 の基板が複数 2 次元配列して一体形成された多面取り構造のベース基板とを貼り合わせて、一度に複数の弾性表面波デバイスを作製できるように構成することで、製造効率が向上し、コストを削減することが可能となる。

【0037】

【発明の実施の形態】

以下、本発明の好適な実施形態を説明するにあたり、本発明の原理について先に説明する。図 4 及び図 5 は、本発明の原理を説明するための図である。尚、図 4 及び図 5 では、単一の圧電性素子基板（以下、圧電基板という）15 上に梯子型に接続された櫛形（櫛歯型）電極（Inter Digital Transducer: IDT）13 を 2 組形成することで、送信用フィルタ 10a と受信用フィルタ 10b とを含む弾性表面波（Surface Acoustic Wave Device: SAW）素子 10 を作製し、これを用いてデュプレクサ 1 を構成した場合について例を挙げる。

【0038】

図4 (a) は、デュプレクサ1の回路構成を示す図である。また、図4 (b) は、デュプレクサ1の構成を示す断面図である。図4 (a) に示すように、デュプレクサ1は、送信用フィルタ10aと、受信用フィルタ10bと、これらの入力インピーダンスを整合するための整合回路4とを有して構成される。整合回路4は、送信用フィルタ10aのコモン端子と受信用フィルタ10bのコモン端子との間に設けられており、インダクタL1とこれを挟むように並列に設けられたコンデンサC1、C2とを有してなるローパスフィルタとして構成されている。ここで、送信用フィルタ10aの共振周波数が受信用フィルタ10bの共振周波数よりも低く、且つ送受信の周波数関係がこれと逆である場合には、高い周波数側に上記のローパスフィルタを接続すれば良い。また、整合回路4はローパスフィルタに限定されるものでない。更に、図4 (a) では送信用フィルタ10a、受信用フィルタ10bの何れかに整合回路4 (ローパスフィルタ) を接続した構成としているが、これに限らず、双方のフィルタ (10a, 10b) に整合回路4を設けた構成としても良い。

【0039】

図4 (b) に示すように、デュプレクサ1は、SAW素子10が固定された回路基板3と、SAW素子10を封止するキャビティ8が設けられたキャップ2とを有してなるパッケージ内にSAW素子10が実装された構成を有する。この構成において、SAW素子10には、圧電基板15として、例えばSAWの伝搬方向をXとし、切り出し角が回転Yカット板である 42° YカットX伝搬リチウムタンタレート (LiTaO_3 ; SAWの伝搬方向Xの線膨張係数が $16.1 \text{ ppm}/^\circ\text{C}$) の圧電単結晶基板 (以下、LT基板という) が用いられる。但し、このほかにも、例えば切り出し角が回転Yカット板であるリチウムナイオベート (LiNbO_3) の圧電単結晶基板 (以下、LN基板という) 等を適用することも可能である。

【0040】

圧電基板15上には、上述したように、送信用フィルタ10aを構成する複数のIDT13と、受信用フィルタ10bを構成する複数のIDT13とが形成されている (図5 (a) 参照)。送信用フィルタ10aを構成するIDT13と受

信用フィルタ 10b を構成する IDT 13 とはそれぞれ、図 5 (a) に示すように、配線パターン 14 により梯子 (ラダー) 型に接続されており、配線パターン 14 と共に一体形成された入出力電極パッド 11 を介して電気信号が入力/出力されるように構成されている。このような IDT 13, 配線パターン 14 及び入出力電極パッド 11 は、例えば金 (Au), アルミニウム (Al), 銅 (Cu), チタン (Ti), クロム (Cr), タンタル (Ta) の少なくとも 1 つを含む単層導電膜か、又は、金 (Au), アルミニウム (Al), 銅 (Cu), チタン (Ti), クロム (Cr), タンタル (Ta) の少なくとも 1 つを含む導電膜が少なくとも 2 層重ねられた積層導電膜として、スパッタリング法等を用いて圧電基板 15 上に一体形成される。

【0041】

デュプレクサ 1 は、このような構成を有する SAW 素子 10 が、例えばフェイスダウン状態、即ち IDT 13 が形成された面 (これを上面とする) が回路基板 3 と向かい合う状態でボンディングされた構成を有する。この際、SAW 素子 10 の入出力電極パッド 11 と、回路基板 3 のダイアタッチ面 (これが位置する側を上面とする) に形成された電極パッド 5 とが金 (Au) や錫 (Sn) やアルミニウム (Al) や銅 (Cu) 等の少なくとも 1 つを含んでなる金属製のバンプ 12 によりボンディングされることで、両者が機械的に固定され且つ電氣的に接続される。但し、このほかにも、フェイスアップ状態で回路基板 3 上に固定され、両者が金属ワイヤ等を用いてワイヤボンディングされることで電氣的に接続された構成とすることも可能である。

【0042】

SAW 素子 10 と接続された電極パッド 5 は、回路基板 3 を貫通するビア配線 6 (図 4 (b) 参照) を介して、回路基板 3 の裏面に形成されたフットパターン 7 (図 4 (b) 及び図 5 (b) 参照) と電氣的に接続されている。フットパターン 7 は、外部から電気信号を入出力するための端子として機能する。即ち、SAW 素子 10 の入出力端子及び GND 端子がパッケージ裏面のフットパターンまで引き出された構成となっている。

【0043】

上記した回路基板 3 とキャップ 2 とは、例えば接合面に表面活性化処理を施し、アモルファス層を形成した後、両者を基板接合することで貼り合わされる。以下に、図 6 を用いて表面活性化処理を用いた基板接合方法を説明する。但し、以下の説明では、1 つのパッケージを作製するための回路基板 3 が 2 次元配列された多面取り構造の基板 3 A と、同じく 1 つのパッケージを作製するためのキャップ 2 が 2 次元配列された多面取り構造の基板 2 A とを貼り合わせる場合を例に挙げる。

【0044】

本基板接合方法では、まず、図 6 (a) に示すように、双方の基板 (2 A, 3 A) を R C A 洗浄法等で洗浄し、表面、特に接合面に付着している酸化物や吸着物等の不純物 X 1 及び X 2 を除去する (第 1 の工程: 洗浄処理)。R C A 洗浄とは、アンモニアと過酸化水素と水とを容積配合比 1 : 1 ~ 2 : 5 ~ 7 で混合した洗浄液や塩素と過酸化水素と水とを容積配合比 1 : 1 ~ 2 : 5 ~ 7 で混合した洗浄液等を用いて行われる洗浄方法の一つである。

【0045】

次に、洗浄した基板を乾燥 (第 2 の工程) 後、図 6 (b) に示すように、アルゴン (A r) 等の不活性ガス若しくは酸素のイオンビーム、中性子ビーム又はプラズマ等を両基板 (2 A, 3 A) の接合面に照射することで、残留した不純物 X 1 1 及び X 2 1 を除去すると共に、表層を活性化させる (第 3 の工程: 活性化処理)。尚、何れの粒子ビーム又はプラズマを使用するかは、接合する基板の材料に応じて適宜選択される。

【0046】

その後、基板 3 A, 2 A を位置合わせをしつつ貼り合わせる (第 4 の工程: 貼合せ処理)。ほとんどの材料では、この貼合せ処理を真空中で行うが、窒素や不活性ガス等の高純度ガス雰囲気中又は大気で行える場合もある。また、両基板 (2 A, 3 A) を挟み込むように加圧する必要がある場合も存在する。尚、この工程は常温又は 100℃以下程度に加熱処理した条件下で行うことができる。このように 100℃程度以下に加熱しつつ接合を行うことで、両基板の接合強度を向上させることが可能となる。

【0047】

このように、表面活性化処理を用いた基板接合方法では、両基板（2A, 3A）を接合した後に、1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ様々な基板を接合することができる。更に、両基板を貼り合わせるための樹脂や金属などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更にまた、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0048】

また、送信用フィルタ10aと受信用フィルタ10bとの電気的な接続の間に設けられた、送信用フィルタ10aの入力インピーダンスと受信用フィルタ10bの入力インピーダンスとをマッチングさせるための整合回路4は、少なくとも回路基板3（基板3A）にシリコン（Si）を用いることにより、半導体の積層技術を用いてウェハレベルで容易に形成することが可能となる。更に、例えばキャップ2にもシリコン（Si）を適用することで、反応性イオンエッチング（RIE）、特にDeep-RIEを用いてウェハレベルで作製することが可能となるため、より製造が容易となる。

【0049】

尚、以上の説明及び以下に示す各実施形態ではデュプレクサを例に挙げて説明するが、本発明はこれに限定されず、単一のフィルタ素子又は3つ以上のフィルタ素子を用いて作製したSAWデバイスにも適用することが可能である。但し、単一のフィルタ素子を用いて構成した場合、整合回路を形成しなくとも良い。

【0050】

〔第1の実施形態〕

次に、本発明を好適に実施した第1の実施形態について、以下に図面を用いて詳細に説明する。本実施形態では、SAW素子を用いた送信用フィルタ10aと受信用フィルタ10bとを有するデュプレクサ20を作製した場合について例を挙げる。但し、本実施形態によるデュプレクサ20の回路構成は、上述において例示したデュプレクサ1の回路構成と同様であるため、ここでは説明を省略する

。

【0051】

図7に、本実施形態によるデュプレクサ20の構成を示す。尚、図7(a)は、デュプレクサ20の構成を示す斜視図であり、(b)は(a)におけるA-A断面図である。

【0052】

図7(a)及び(b)に示すように、デュプレクサ20は、回路基板23におけるダイアタッチ面にSAW素子10がフェイスダウン状態でボンディングされることで、フリップチップ実装されている。また、実装されたSAW素子10は、キャビティ8を有するキャップ22により封止されている。

【0053】

回路基板23には、加工がし易く安価な材料であるシリコン(Si)を主成分とした基板(以下、シリコン基板という)を用いる。これに、RIE(Deep-RIE)やフォトリソグラフィーやスパッタリング法等を用いることで、図8及び図9に示すようなパターンが形成される。この際、シリコン基板に、例えば $100\Omega\cdot\text{cm}$ 以上の抵抗率を有するものを適用することで、シリコンが有する抵抗成分によりSAW素子10のフィルタ特性が劣化することを防止できる。尚、これは、以下の説明におけるキャップをシリコン基板で作製した場合にも、同様に適用することが好ましい。

【0054】

回路基板23上に形成されるパターンをより詳細に説明する。図8(a)は回路基板23のダイアタッチ面(上面)の構成を示す上面図であり、(b)はそのB-B断面図である。また、図8(c)は整合回路4におけるインダクタL1の構成を示す上視図であり、(d)は同じく整合回路4におけるコンデンサC1、C2の構成を示す上視図である。

【0055】

図8(a)及び(b)を参照すると、回路基板23上には、まず、接地電位とされるグランドパターン5bが積層され、更に絶縁体層3aを挟んで、電極パッド5、配線パターン5a、インダクタL1及びコンデンサC1、C2が形成され

ている。

【0056】

電極パッド5は、上述したように、SAW素子10における入出力電極パッド11とバンプ12により機械的及び電氣的な接続を得るための構成であり、入出力パッド11と位置合わせされた領域に形成される。各電極パッド5はそれぞれ、整合回路4又は絶縁体層3aを貫通するビア配線（GND用ビア配線6a、信号用ビア配線6b）へ直接又は配線パターン5aを介して接続される。

【0057】

整合回路4におけるインダクタL1は、図8（b）及び（c）に示すように、スパイラル状に形成された電極4aの始点と終点とにそれぞれ配線パターン4b、4cが接続された構成を有して形成される。電極4aには、例えば銅（Cu）や金（Au）等の導電体を用いられる。配線パターン4b、4c及び電極パターン5aは、例えば金（Au）、アルミニウム（Al）、銅（Cu）、チタン（Ti）、クロム（Cr）、タンタル（Ta）の少なくとも1つを含む単層導電膜か、又は、金（Au）、アルミニウム（Al）、銅（Cu）、チタン（Ti）、クロム（Cr）、タンタル（Ta）の少なくとも1つを含む導電膜が少なくとも2層重ねられた積層導電膜として、スパッタリング法等を用いて一体形成される。

【0058】

また、整合回路4におけるコンデンサC1、C2は、図8（b）及び（d）に示すように、誘電体層4eを挟んで上部電極4fと下部電極4gとが形成された構成を有する。上部電極4f及び下部電極4gは、上記した配線パターン4b、4cと同様に、例えば金（Au）、アルミニウム（Al）、銅（Cu）、チタン（Ti）、クロム（Cr）、タンタル（Ta）の少なくとも1つを含む単層導電膜か、又は、金（Au）、アルミニウム（Al）、銅（Cu）、チタン（Ti）、クロム（Cr）、タンタル（Ta）の少なくとも1つを含む導電膜が少なくとも2層重ねられた積層導電膜として、スパッタリング法等を用いて電極パターン5aと一体形成される。尚、この際、電極パッド5も同一の材料により一体形成する。これにより、製造工程が簡略化でき、歩留り及び製造効率が向上する。

【0059】

絶縁体層 3 a を貫通するビア配線 (GND用ビア配線 6 a, 信号用ビア配線 6 b) において、GND用ビア配線 6 a は、図 9 (a) に示すように、絶縁体層 3 a の下層に形成されたグラウンドパターン 5 b に短絡される。このグラウンドパターン 5 b は、例えば金 (Au), アルミニウム (Al), 銅 (Cu), チタン (Ti), クロム (Cr), タンタル (Ta) の少なくとも 1 つを含む単層導電膜か、又は、金 (Au), アルミニウム (Al), 銅 (Cu), チタン (Ti), クロム (Cr), タンタル (Ta) の少なくとも 1 つを含む導電膜が少なくとも 2 層重ねられた積層導電膜として、スパッタリング法等を用いて形成される。グラウンドパターン 5 b は、図 9 (b) に示すように、回路基板 2 3 を貫通するビア配線 6 を介して回路基板 2 3 の裏面に形成されたフットパターン 7 に電氣的に接続される。GND用ビア配線 6 a を介してグラウンドパターン 5 b と接続されたフットパターン 7 は接地される。これにより、グラウンドパターン 5 b が接地電位となる。また、信号用ビア配線 6 b は、図 9 (a) に示すように、グラウンドパターン 5 b と接触しない領域において、回路基板 2 3 までも貫通して延在し、回路基板 2 3 の裏面に形成されたフットパターン 7 に電氣的に接続される (図 9 (b) 参照)。信号用ビア配線 6 b が接続されたフットパターン 7 には、外部回路からの電気信号 (高周波) が入力される。

【0060】

上記のような構成を有する回路基板 2 3 にフェイスダウン状態でフリップチップ実装された SAW 素子 10 は、図 7 (a) 及び (b) に示すように、キャビティ 8 を有するキャップ 2 2 で封止される。本実施形態においてキャップ 2 2 には、回路基板 2 3 と同様に、加工がし易く安価な材料であるシリコン (Si) を主成分とした基板を用いる。これに、RIE (Deep-RIE) 等を用いることで、SAW 素子 10 を収容できる程度のキャビティ 8 を形成する。このように、キャビティ 8 をキャップ 2 2 側に設けることで、キャップ 2 の強度をキャビティ 8 を形成する側壁で保つことが可能となるため、結果としてパッケージの厚さを薄くすることが可能となる。

【0061】

回路基板 2 3 とキャップ 2 2 との接合方法としては、熱によるダメージが少な

く、ウェハレベルで接合できる点、即ち接合後の1000℃を超えるアニール処理を必要とせず且つ多面取り構造の基板を用いて一度に複数作製できるという観点から、上述した表面活性化処理を用いた基板接合方法を適用することが好ましい。

【0062】

この工程としては、キャップ22と回路基板23との接合部分面をRCA洗浄法等で洗浄し、これに真空中においてアルゴン(Ar)等の不活性ガス若しくは酸素のイオンビーム、中性子ビーム又は大気やそれに近い混合気体のプラズマ等を照射することで、接合面に残留した不純物を除去すると共に、表層を活性化させる。これにより、キャップ22と回路基板23との接合面に厚さ数ナノメートル程度のアモルファス層がそれぞれ成膜される。尚、本実施形態では双方の基板にシリコン基板を用いているため、それぞれに形成されるアモルファス層はシリコンを主成分としている。その後、アモルファス層が形成されたキャップ22と回路基板23とを位置合わせをしつつ貼り合わせることで、図7(a)及び(d)に示すように、回路基板23に実装されたSAW素子10がキャップ22により封止される。尚、この貼合せ処理は真空中で行うことが好ましいが、大気又は窒素や不活性ガス等の高純度ガス雰囲気中で行うことも可能である。また、キャップ22と回路基板23とを挟み込むように加圧する必要がある場合も存在する。尚、この工程を常温又は100℃以下程度に加熱処理した条件下で行うことで、より接合強度を高めることができる。

【0063】

以上のように、シリコン基板を用いて作製したキャップと回路基板とを表面活性化処理を施した後に接合することで、1000℃以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ製造工程が簡略化・簡素化される。更に、双方を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更にまた、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。

【0064】

また、上述したように、表面活性化処理を施すことで、キャップ 22 が 2 次元配列されて一体形成された多面取り基板（基板 2 A）と、回路基板 23 が同じく 2 次元配列された一体形成された多面取り基板（基板 3 A）とを個々に分割する前に接合することが可能となるため、製造効率が向上し、コストを削減することが可能となる。尚、接合した基板は、ダイシングブレードやレーザビーム等を用いて個々のデュプレクサに分割される。

【0065】

更に、本実施形態では、シリコン基板を用いてキャップと回路基板とを作製しているため、半導体フォトリソグラフィー及びエッチング技術を用いて高い精度で容易に SAW デバイスを作製することが可能となり、SAW デバイスの小型化、歩留りの向上及び製造コストの低減が可能となる。

【0066】

〔第 2 の実施形態〕

次に、本発明の第 2 の実施形態について図面を用いて詳細に説明する。図 10 及び図 11 は、本実施形態によるデュプレクサ 30 の構成を示す図である。尚、図 10（a）はデュプレクサ 30 の構成を示す断面図（図 7（b）に対応）であり、（b）は回路基板 33 の上面図であり、（c）は（b）の C-C 断面図である。但し、デュプレクサ 30 の斜視図は図 7（a）と同様であるため、ここでは説明を省略する。

【0067】

図 10（a）に示すように、デュプレクサ 30 は、図 7 から図 9 を用いて説明したデュプレクサ 20 の構成と略同様に、シリコンを主成分として作製された回路基板 33 におけるダイアタッチ面に SAW 素子 10 がフェイスダウン状態でボンディングされることで、フリップチップ実装された構成を有する。また、実装された SAW 素子 10 は、キャビティ 8 を有するキャップ 32 により封止されている。

【0068】

この構成において、キャップ 32 と回路基板 33 との接合面には、それぞれ金等の金属層が形成されている。即ち、本実施形態では、キャップ 32 と回路基板

33とを金属面同士の直接接合により貼り合わされている。

【0069】

これをより詳細に説明する。キャップ32における接合部分面には、例えば金(Au)、アルミニウム(Al)、銅(Cu)、チタン(Ti)、クロム(Cr)、タンタル(Ta)の少なくとも1つの金属材料を含む単層導電膜か、又は、金(Au)、アルミニウム(Al)、銅(Cu)、チタン(Ti)、クロム(Cr)、タンタル(Ta)の少なくとも1つの金属材料を含む導電膜が少なくとも2層重ねられた積層導電膜として、金属層32aがスパッタリング法等を用いて形成される。また、回路基板33における接合部分面には、第1の実施形態で説明したグランドパターン5bが延在している(図10(a)～(c)における符号35b:但し、(a)では接合部分以外のグランドパターン35bを省略して図示する)。本実施形態では、これら金属層32a及びグランドパターン35bを直接接合することで、キャップ32と回路基板33とが貼り合わされる。尚、このほかにも、金属層32a及びグランドパターン35bの接合部分面に第1の実施形態で説明したような表面活性化処理を施して両者を接合するように構成しても良いし、これら金属層を設けずに、キャップ32における接合部分面と回路基板33における接合部分面とに表面活性化処理を施して両者を接合するように構成しても良い。

【0070】

また、信号用ビア配線6bとグランドパターン35bとは電氣的に分離されている必要があるため、信号用ビア配線6bが嵌在する領域には、図11に示すように、グランドパターン35bが形成されていない。

【0071】

以上のように構成することで、キャップと回路基板との接合を金属層による直接接合で実現することも可能となる。尚、他の構成は第1の実施形態と同様であるため、ここでは説明を省略する。

【0072】

〔第3の実施形態〕

次に、本発明の第3の実施形態について図面を用いて詳細に説明する。図12

は、本実施形態によるデュプレクサ 40 の構成を示す図である。尚、図 12 (a) はデュプレクサ 40 の構成を示す断面図 (図 7 (b) に対応) であり、(b) は SAW 素子 10 が貼り合わされたキャップ 42 の構成を示す上面図 (但し、SAW 素子 10 が貼り合わされた面を上面とする) である。

【0073】

図 12 (a) に示すように、デュプレクサ 40 は、回路基板 43 側にキャビティ 48 が設けられており、また、SAW 素子 10 が板状に作製されたキャップ 42 に貼り合わされた構成を有している。回路基板 43 には、上記した第 1 の実施形態と同様に、例えばシリコン基板等を適用することができる。また、キャップ 42 には、同様にシリコン基板を適用することも可能であるが、このほかにも例えばサファイア基板等を適用することができる。以下の説明では、シリコン基板を適用した場合を例に挙げて説明する。

【0074】

キャップ 42 と SAW 素子 10 との接合部分面には、第 2 の実施形態と同様に、例えば金 (Au)、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、クロム (Cr)、タンタル (Ta) の少なくとも 1 つの金属材料を含む単層導電膜か、又は、金 (Au)、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、クロム (Cr)、タンタル (Ta) の少なくとも 1 つの金属材料を含む導電膜が少なくとも 2 層重ねられた積層導電膜として、金属層 42a、43a がスパッタリング法等を用いてそれぞれ形成される。

【0075】

本実施形態では、これら金属層 42a、43a を直接接合することで、キャップ 42 と回路基板 43 とが貼り合わされる。尚、このほかにも、金属層 42a、43a の接合部分面に第 1 の実施形態で説明したような表面活性化処理を施して両者を接合するように構成しても良いし、金属層を設けずに、キャップ 42 における接合部分面と回路基板 43 における接合部分面とに表面活性化処理を施して両者を接合するように構成しても良い。

【0076】

また、本実施形態では、キャップ 42 に SAW 素子 10 を貼り合わせる構成と

しているため、キャップ42がSAW素子10における圧電基板15の支持基板として機能し、結果として圧電基板15の厚みを他の実施形態より薄くすることが可能となる。従って、本実施形態では、デュプレクサ（SAWデバイス）をより薄く作製することが可能となる。尚、キャップ42とSAW素子10との接合には、例えば上述したような表面活性化処理を用いた基板接合方法を用いることができる。

【0077】

更にまた、以上の説明では、キャップ42をシリコン基板で作製した場合について説明したが、これを上述したように、例えばサファイア基板で作製することも可能である。このようにサファイア基板で作製した場合、サファイア基板の持つ弾性スティフネス（ C_{11} ）及び熱膨張係数と圧電基板（ここでは例としてLT基板とする）の持つ弾性スティフネス（ C_{11} ）及び熱膨張係数との関係から、圧電基板の熱膨張に対して力学的にバイアスの応力、即ち圧電基板15が熱膨張することを抑制する力が発生するため、SAW素子10の周波数温度特性を改善することができる。

【0078】

以上のように構成することで、本実施形態では、SAWデバイスをより小型化することが可能となり、更にSAW素子10における圧電基板15を支持する機能も果たすキャップ42にサファイア基板を適用した場合、SAW素子10の周波数温度特性も改善されるという効果が得られる。尚、他の構成は、第1の実施形態と同様であるため、ここでは説明を省略する。

【0079】

〔第4の実施形態〕

次に、本発明の第4の実施形態について図面を用いて詳細に説明する。図13は、本実施形態によるデュプレクサ50の構成を示す断面図（図7（b）に対応）である。

【0080】

図13に示すように、デュプレクサ50は、キャップ52と回路基板53との双方にキャビティ58a、58bが設けられた構成を有している。尚、両者の接

合には、上述したように、接合部分面に表面活性化処理を施す方法や、同接合部分面に金属層を形成し、両者を直接接合又は表面活性化処理を施した後に接合する方法等を適用することができる。

【0081】

以上のように構成することで、本実施形態では、デュプレクサ50をより薄く構成することができる。尚、他の構成は、上記した第1の実施形態と同様であるため、ここでは説明を省略する。

【0082】

〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

【0083】

【発明の効果】

以上説明したように、本発明によれば、小型且つ安価で製造が容易な弾性表面波デバイス及びその製造方法が実現できる。

【図面の簡単な説明】

【図1】

従来技術によるSAWフィルタ100の構成を示す図であり、(a)はSAWフィルタ100の斜視図であり、(b)は(a)のD-D断面図である。

【図2】

従来技術によるSAWフィルタ200の構成を示す図であり、(a)はSAWフィルタ200に内蔵するSAW素子211の構成を示す斜視図であり、(b)はSAWフィルタ200の断面図である。

【図3】

従来技術によるデュプレクサ300の構成を示す図であり、(a)はデュプレクサ300の断面図であり、(b)はSAWフィルタ311の上面図である。

【図4】

本発明によるデュプレクサ1の構成を示す図であり、(a)はその回路図であり、(b)はその断面図である。

【図 5】

(a) は図 4 に示す SAW 素子 10 の構成を示す上面図であり、(b) は図 4 に示すデュプレクサ 1 の裏面に形成されたフットパターン 7 の構成を示す図である。

【図 6】

本発明においてキャップ 2 が 2 次元配列された多面取り構造の基板 2 A と回路基板 3 が 2 次元配列された多面取り構造の基板 3 A との接合面に表面活性化処理を施して両基板を接合する際の基板接合方法を説明するための図である。

【図 7】

本発明の第 1 の実施形態によるデュプレクサ 20 の構成を示す図であり、(a) はその斜視図であり、(b) は (a) の A-A 断面図である。

【図 8】

図 7 に示す回路基板 23 の構成を示す図であり、(a) はその上面図であり、(b) はその B-B 断面図であり、(c) はインダクタ L1 に着目した上面図であり、(d) はコンデンサ C1, C2 に着目した上面図である。

【図 9】

(a) は図 7 に示す回路基板 23 上に形成されたグランドパターン 5b とビア配線 6 (GND 用ビア配線 6a 及び信号用ビア配線 6b を含む) との構成を示す上面図であり、(b) はデュプレクサ 1 の裏面に形成されたフットパターン 7 の構成を示す図である。

【図 10】

本発明の第 2 の実施形態によるデュプレクサ 30 の構成を示す図であり、(a) はその断面図 (図 7 (b) に相当) であり、(b) は (a) における回路基板 33 の上面図であり、(c) は (b) の C-C 断面図である。

【図 11】

図 10 に示す回路基板 33 上に形成されたグランドパターン 35b とビア配線 6 (GND 用ビア配線 6a 及び信号用ビア配線 6b を含む) との構成を示す上面図である。

【図 12】

本発明の第3の実施形態によるデュプレクサ40の構成を示す図であり、(a)はその断面図(図7(b)に相当)であり、(b)はSAW素子10が貼り合わされたキャップ42の構成を示す上面図である。

【図13】

本発明の第4の実施形態によるデュプレクサ50の構成を示す断面図(図7(b)に相当)である。

【符号の説明】

- 1、20、30、40、50 デュプレクサ
- 2、22、32、42、52 キャップ
- 2A、3A 基板
- 3、23、33、43、53 回路基板
- 3a 絶縁体層
- 4 整合回路
- 4a 電極
- 4e 誘電体層
- 4f 上部電極
- 4g 下部電極
- 5 電極パッド
- 4b、4c、5a 配線パターン
- 5b、35b グランドパターン
- 6 ビア配線
- 6a GND用ビア配線
- 6b 信号用ビア配線
- 7 フットパターン
- 8、48、58a、58b キャビティ
- 10 SAW素子
- 10a 送信用フィルタ
- 10b 受信用フィルタ
- 11 入出力電極パッド

1 2 バンプ

1 3 I D T

1 4 配線パターン

1 5 圧電基板

3 2 a、4 2 a、4 3 a 金属層

L 1 インダクタ

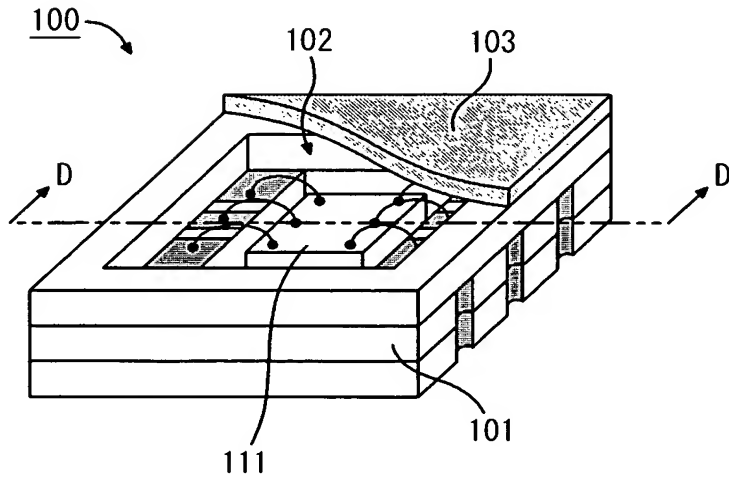
C 1、C 2 コンデンサ

X 1、X 2 不純物

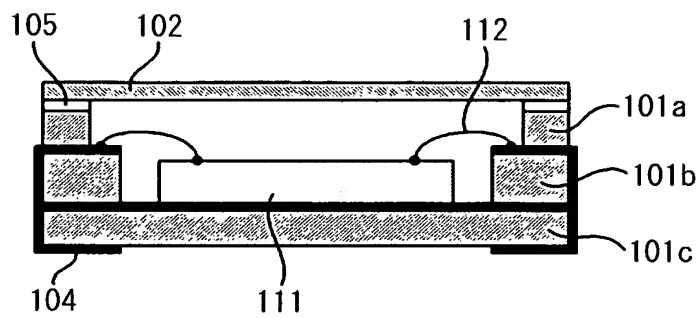
【書類名】

【図 1】

(a)

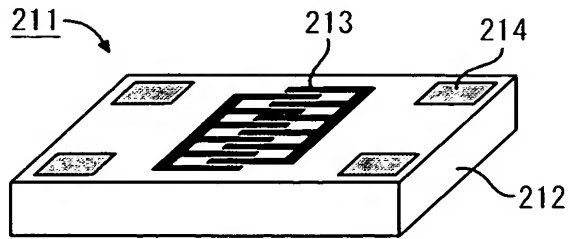


(b)

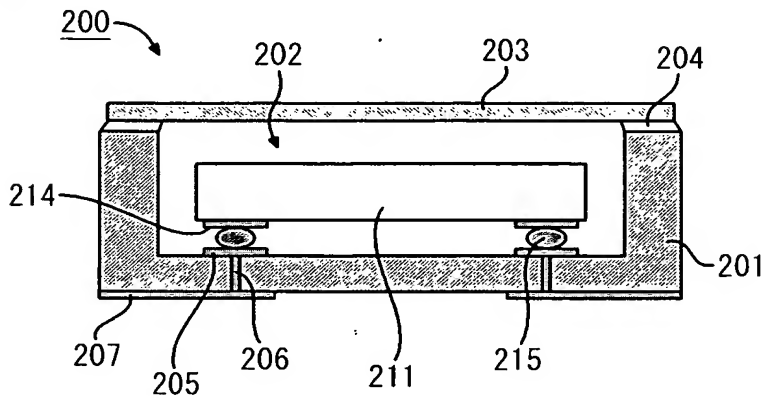


【図 2】

(a)

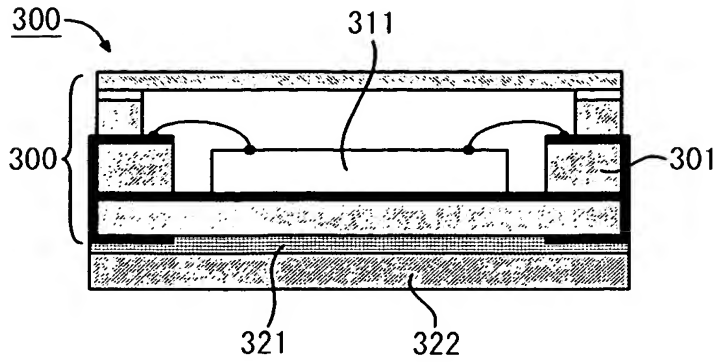


(b)

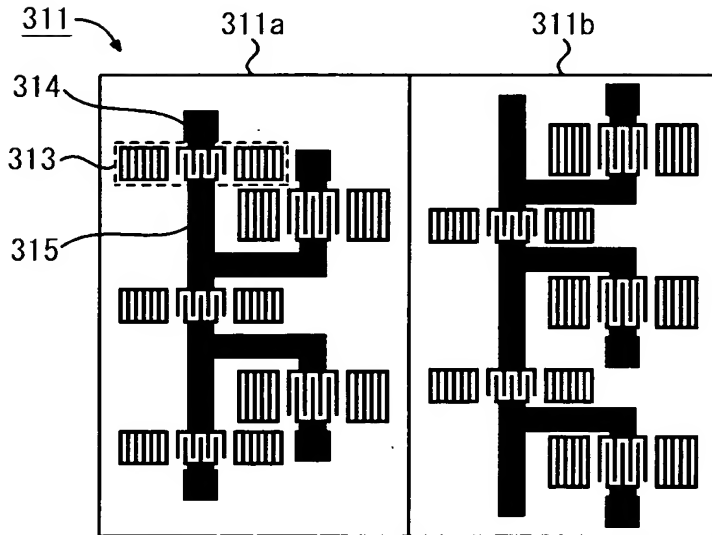


【図 3】

(a)

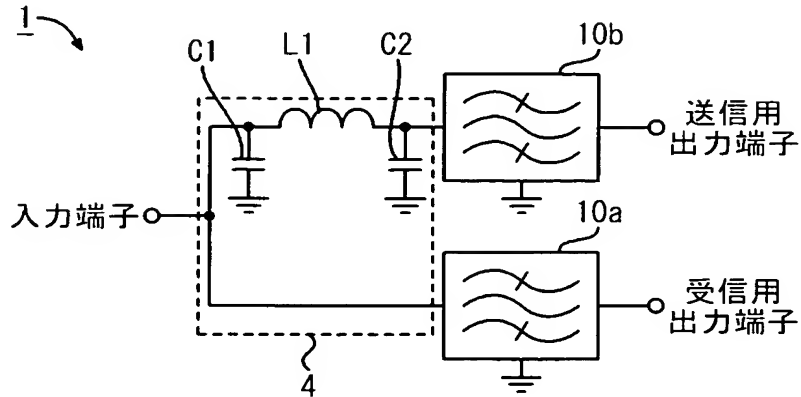


(b)

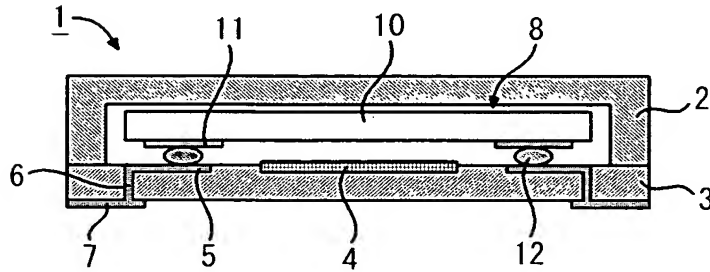


【図 4】

(a)

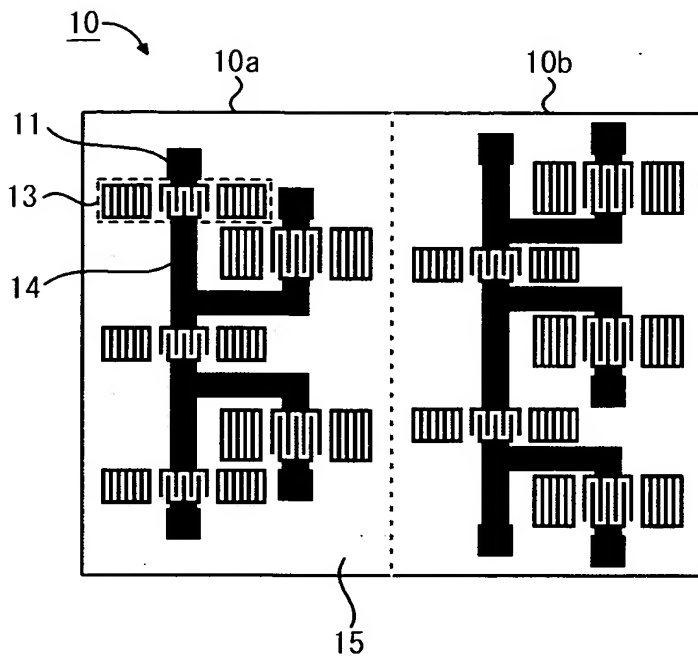


(b)

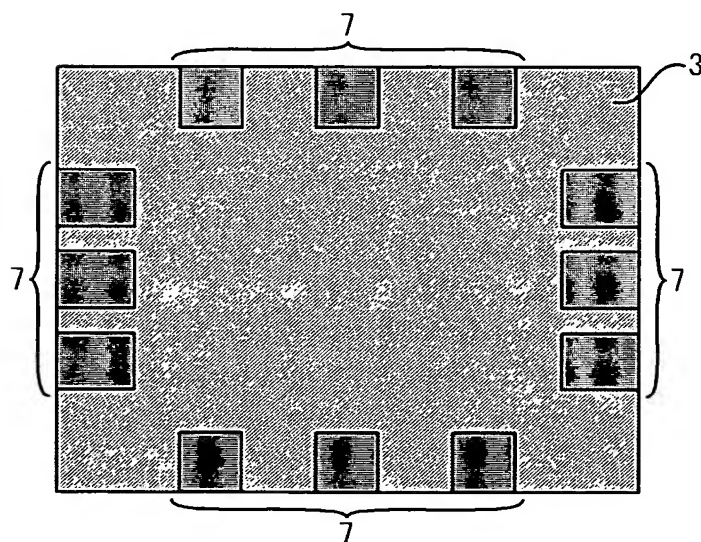


【図 5】

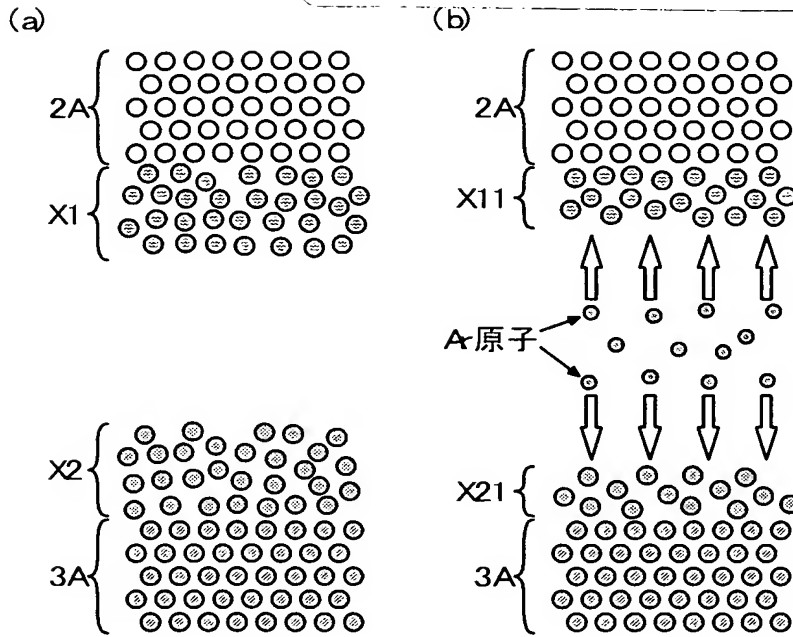
(a)



(b)

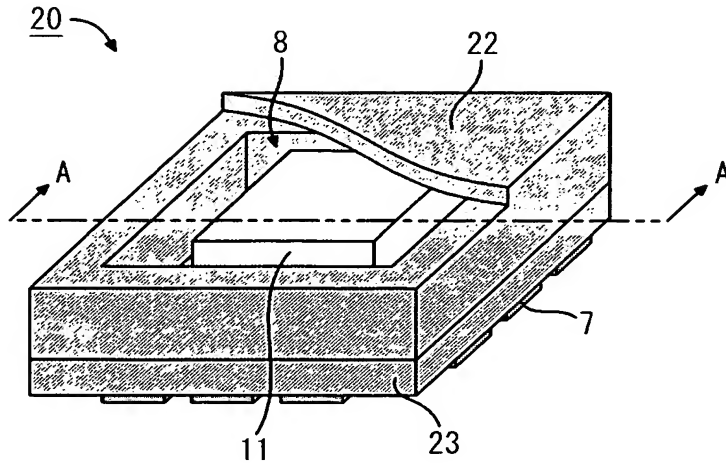


【図 6】

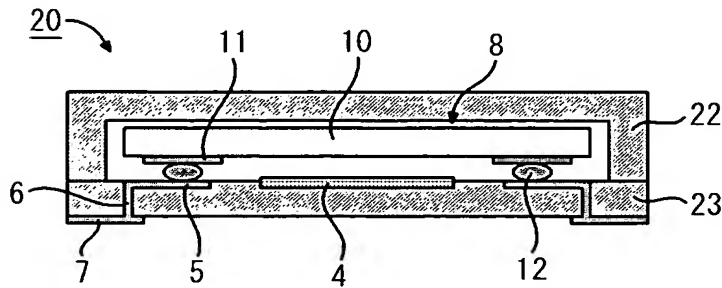


【図 7】

(a)

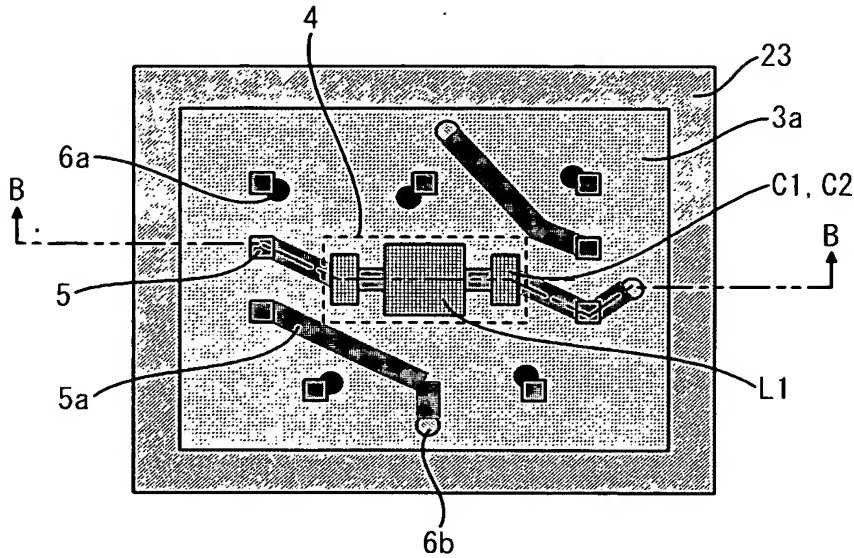


(b)

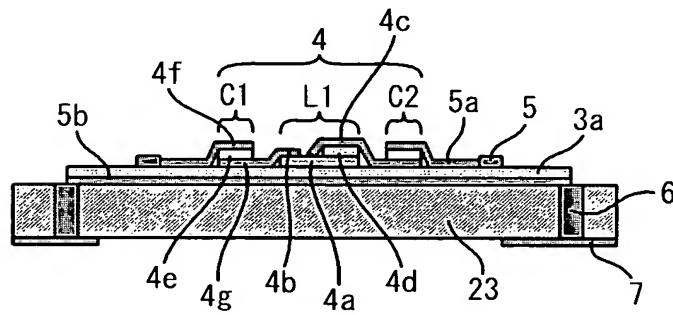


【図 8】

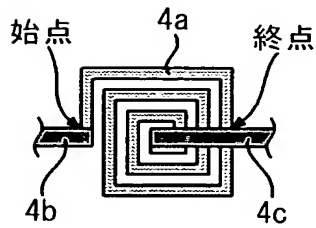
(a)



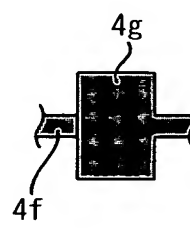
(b)



(c)

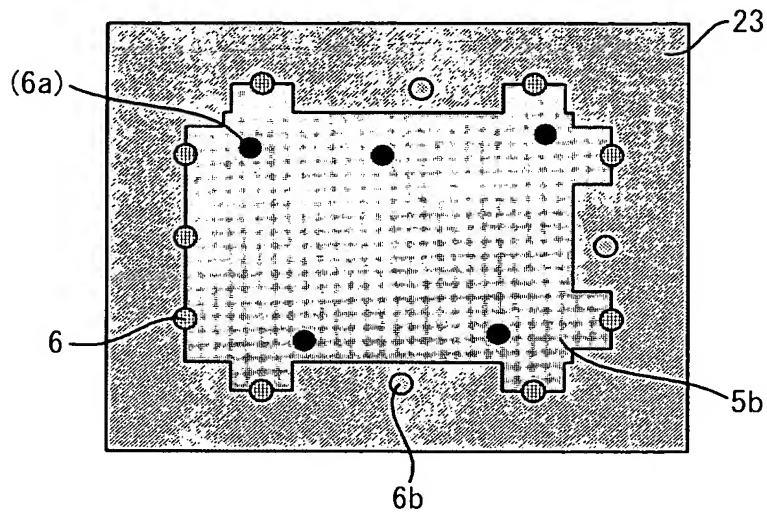


(d)

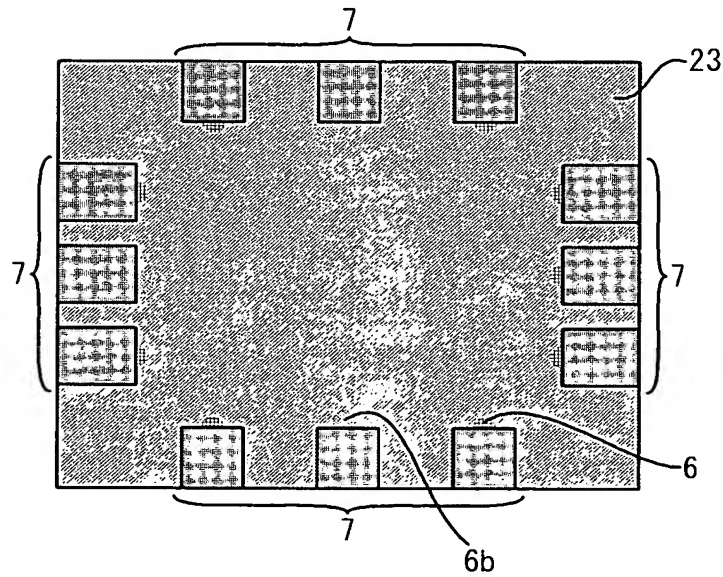


【図 9】

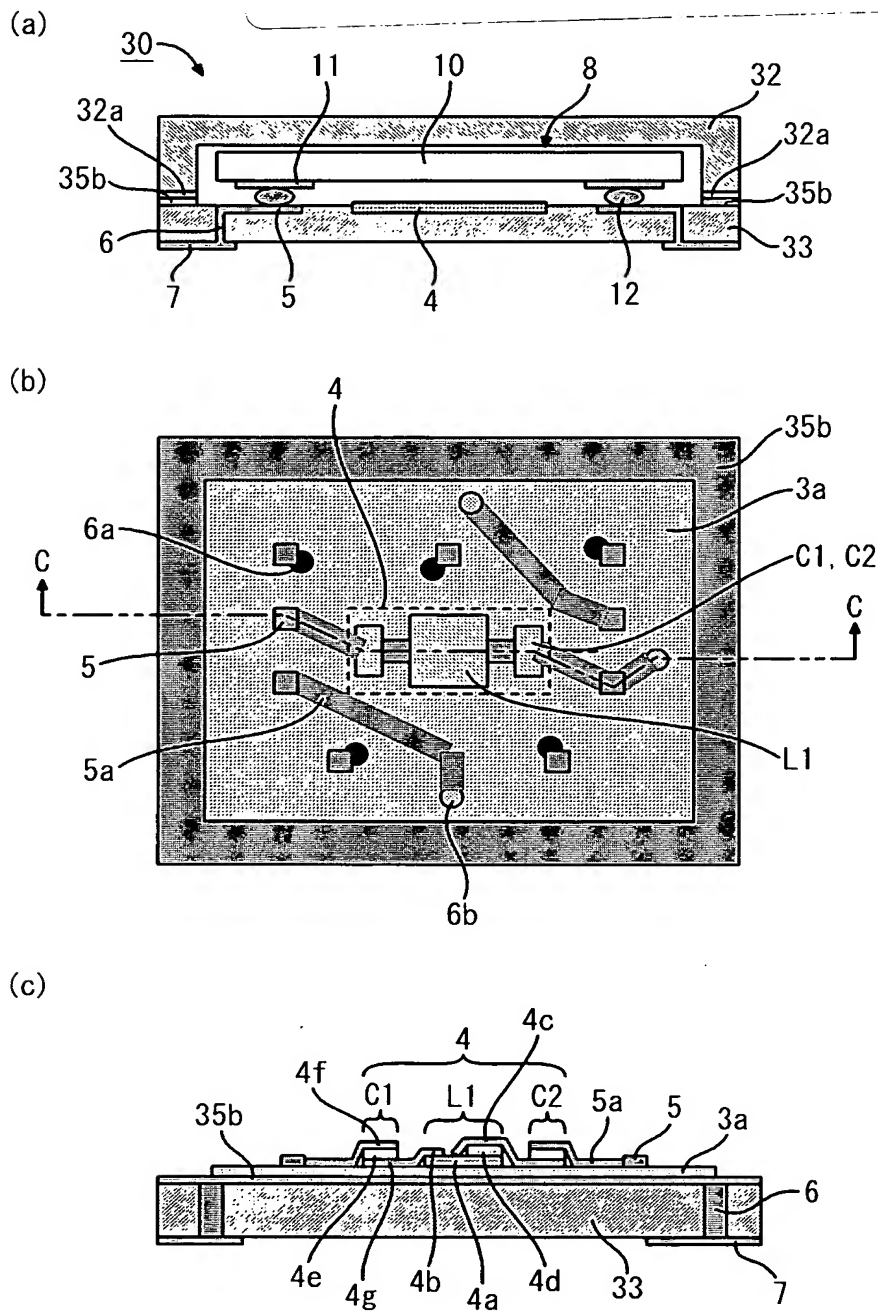
(a)



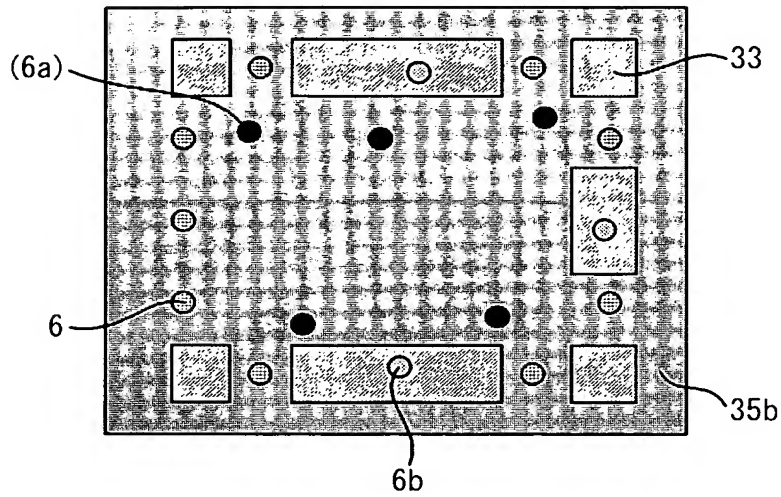
(b)



【図 10】

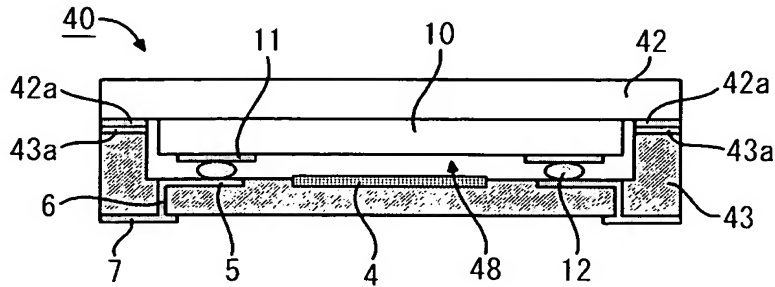


【図 11】

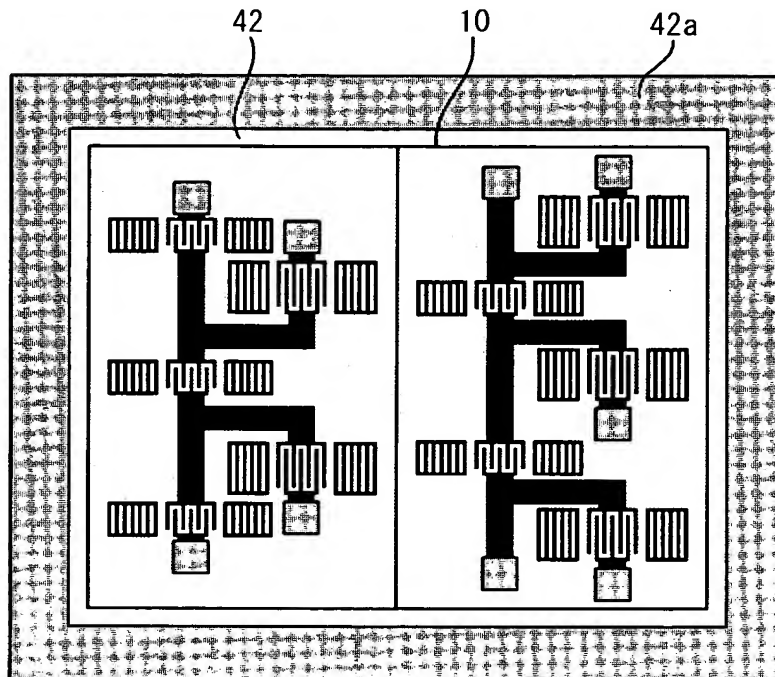


【図 1 2】

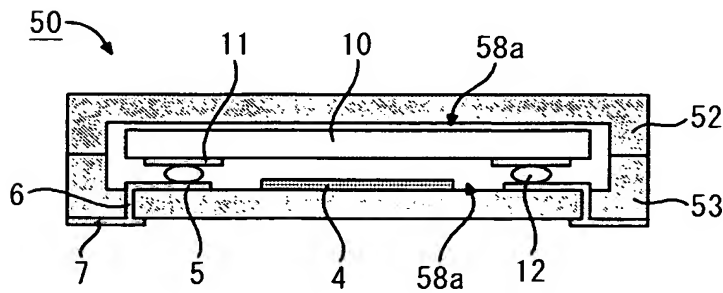
(a)



(b)



【図 1 3】



【書類名】 要約書

【要約】

【課題】 小型且つ安価で製造が容易な弾性表面波デバイス及びその製造方法を提供する。

【解決手段】 デュプレクサ 1 は、SAW 素子 10 が固定された回路基板 3 と、キャビティ 8 が設けられたキャップ 2 とを有する。回路基板 3 及びキャップ 2 は例えばシリコン基板を用いて作製されている。この構成において、キャビティ 8 をキャップ 2 側に設けることで、キャップ 2 の強度をキャビティ 8 の側壁で保つように構成されるため、パッケージを薄くできる。また、回路基板 3 とキャップ 2 とは、例えば接合面に表面活性化処理を施した後に接合することで、樹脂等の接着材料を必要としないため、より薄くすることが可能となる。更に、表面活性化処理を用いた基板接合方法は、樹脂等を用いた場合よりも強固に接合できるため、接合面積を小さくでき、結果的に SAW デバイスを小型化できる。

【選択図】 図 4



特願 2003-104593

出 願 人 履 歴 情 報

識別番号

[398067270]

- | | |
|----------|-----------------------|
| 1. 変更年月日 | 2002年11月 5日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県横浜市港北区新横浜二丁目3番12号 |
| 氏 名 | 富士通メディアデバイス株式会社 |
| | |
| 2. 変更年月日 | 2003年 5月30日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県横浜市港北区新横浜二丁目3番地12 |
| 氏 名 | 富士通メディアデバイス株式会社 |

特願 2 0 0 3 - 1 0 4 5 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社